

最大限度提升 Virtex-5 FPGA 设计性能

ISE 软件为你实现 Virtex-5 设计的时序目标

作者：Michelle Fernandez
软件技术营销工程师
Xilinx 公司

随着FPGA推动性能的提升，最大限度发挥设计性能就要求设计人员了解器件结构和设计软件。65-nm Xilinx®Virtex™-5 FPGA系列产品具有业界最高的性能，采用了最新的 ExpressFabric™技术、对角互联结构、增强型片上存储器、DSP片和高速I/O。为了最大限度提升系统性能，设计人员应该使用恰当的设计技术，如定义时序约束、在综合和实现时选择最适合设计要求的选项。本文将介绍如何通过最少的设计迭代来得到更快的时序。

理解构架

当评价 Virtex-5 系列这样的新型 FPGA 构架时，通过学习用户指南和数据表来理解硬件特性是十分重要的。

Virtex-5 FPGA 系列产品基于能提供更高速度的新型 ExpressFabric 构架、能减少逻辑层次的新型 6 输入查找表 (LUT) 结构，以及最大限度降低延迟的对角互联结构。每个 CLB 包括两个片，具有 4 个 6 输入 LUT 和 4 个可配置寄存器。为了最大限度地利用每个片，必须要理解片的互联性和共享资源。

Virtex-5 FPGA 包括像嵌入式存储器 (block RAM) 和 550MHz 逻辑片 (DSP48E 片) 这样的硬 IP。如果这些硬 IP 块出现在你的关键路径中，需要进

行以下设计考虑：

- 检查你的设计是否利用了大多数块特性，以及综合工具是否从 RTL 代码中正确推导出特性。
- 当使用嵌入式 block RAM 存储器或 DSP48E 片时，使用它们专门的流水线寄存器能降低建立时间和时钟到输出的时序要求。
- 另一个考虑是在设计中混合使用 block RAM 或 DSP48E 片，以及在使用专用块或片来提高布局灵活性之间进行折衷考虑。

时钟资源的选择也会影响设计的性能。Virtex-5 FPGA 具有 I/O、局部和全

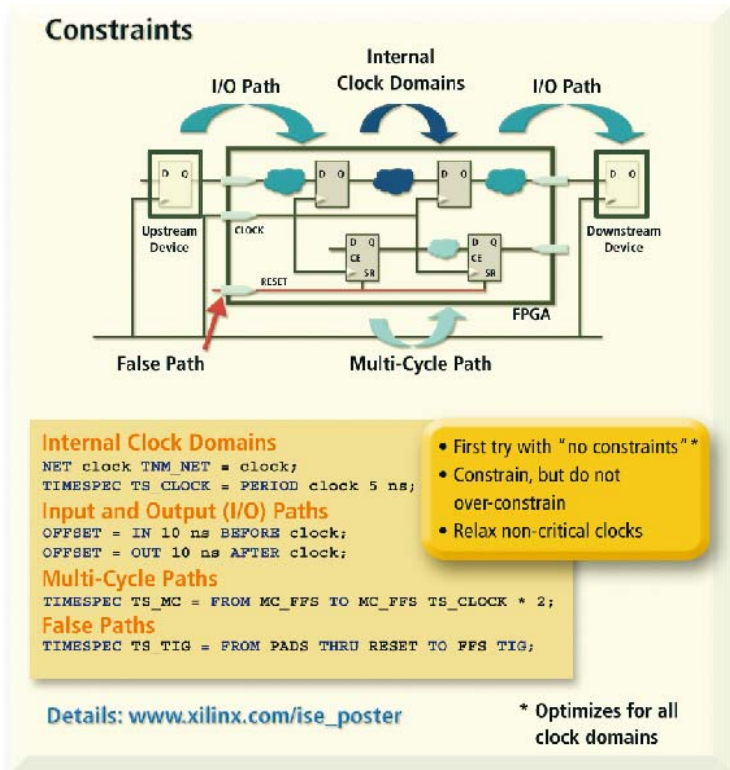


图 1 - 恰当的时序约束

局的时钟资源。这些器件被划分成不同的时钟域，其中最多能包括 4 个局部时钟和 10 个全局时钟。在设计规划阶段，一定要分析需要使用的时钟域数量和时钟域中的特殊时钟。在进行 I/O 布局时，如果 I/O 的接口逻辑不必用到时钟域中的所有时钟资源，将给 ISE™ 软件在布局上带来更大的灵活性。

定义时序要求

综合工具和 ISE 实现工具是受性能目标驱动的 - 可以通过为内部时钟域、I/O 路径、多周期路径和伪路径（参见图 1）设置时序约束来设定性能目标。定义真实的时序约束将防止出现不必要的复制和较长的运行时间。

在综合报告中，需要检查是否有复制寄存器，并确认应用于原始寄存器的时序约束也覆盖了复制寄存器。当编写

时序约束脚本时，先尽可能地将具有相同时序约束的路径放到一起，再产生特殊的约束，这样能减少实现的运行时间和存储空间。

推动综合

下面这些设计考虑能帮助从综合工具中得到优化结果：

- 使用恰当的编码技术来确保综合工具对 RTL 代码的推导能充分利用构架的特性。
- 向综合工程中加入层次较低的网表，来优化与这些网表相连的 HDL 代码。
- 如果应用中的关键路径在综合过程中没有被视为关键，可以使用 Synplify Pro 的“-route”约束来强制综合工具聚焦于该路径。

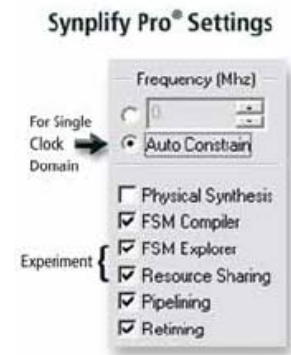


图 2 - 推荐的 Synplify Pro 设置

ISE Synthesis "Process Properties" Dialog

	Property Name	Value
Synthesis Options	Optimization Effort	High
	Synthesis Constraint File Create a XCF File (UCF Syntax) NET clock PERIOD = 5 ns	<input checked="" type="checkbox"/>
	Read Cores	<input checked="" type="checkbox"/>
HDL Options	Resource Sharing	Experiment
Xilinx-Specific Options	Register Balancing	YES
	Pack I/O Registers into IOBs	Experiment

图 3 - 推荐的 ISE 综合 (XST) 设置

- 探索综合工具的设置。（图 2 是 Synplify 设置，图 3 是 Xilinx 综合技术 [XST] 所推荐的工具设置。）还有一些其他的属性会影响综合结果的优化程度。使用这些属性，能方便地对综合结果进行优化，而不必改写代码（参见表 1）。

特定的工具设置，如 Synplify Pro 中的 retiming 选项和 XST 中的 register balancing 选项，会影响综合后的面积。如果你的设计中有一些扇出数量很大的网络，而你想让综合工具来减少网络扇出数量，则可以使用针对某个网络的扇出属性，而不需要减小全局的扇出限制。如果关键路径穿过体系化边界，则不应再使用这一体系化结构。在执行之前，请检查综合报告中的警告。

选择实现选项

从综合工具得到可接受的时序估计后，就能够使用实现工具来确定设计的真实性能。ISE 的默认模式是性能评估模式，它为脱离实现工具并且不必指定时序目标就能获得高性能结果提供了条件。

下一步是运行时序驱动映射 (MAP) 和布局布线 (PAR)。时序驱动 MAP 进行闭环压缩和由时序驱动的布局，而 PAR 进行布线。应该将 MAP 和 PAR 的 effort 级别都设置为高，以得到最优结果。

实现过程中的物理综合选项能够在获取设计中关键路径的基础上，对逻辑进行重新优化和压缩，从而得到更好的布局布线效果。物理综合选项在 MAP 过程中被执行，其中包括了全局网表优化、本地逻辑优化、重定时、寄存器复制，以及等价寄存器消除。这些选项的详细信息能在 Xilinx 白皮书中获得，参见“使用 ISE 8.1i 进行物理综合和优化” www.xilinx.com/cn/bvdocs/whitepapers/wp230.pdf。

Xplorer 实用程序

Xplorer 工具用来帮助确定能为设计带来最佳性能的实现选项集。Xplorer 有两种模式：时序收敛模式和最佳性能模式。时序收敛模式能够评估时序约束，并尝试使用不同的实现选项集来实现这些目标。在最佳性能模式下，可以给工具指定一个时钟域；工具将尽力实现时钟的最佳频率。在确定某一设计的最佳性能标准时，这一功能将十分有用。

评估关键路径

通过理解关键路径的特性，你能够更好地决定如何进行下一次的设计迭代。数据通路包括了逻辑和互联延迟。由单个元件的延迟引起的逻辑延迟是固定的。能够通过减少逻辑层的数量或重新定义

逻辑结构来减少逻辑延迟。

相比而言，互联延迟更容易变化，并且与逻辑布局相关。推荐在完成 MAP 之后，运行 PAR 之前，进行一次时序分析。尽管得到的时序报告只能估计布线后的延迟，但它可以使你对实现工具正在处理的关键路径有所了解。如果关键路径有太多的逻辑层，你可能会希望在运行 PAR 之前，先对逻辑层进行改进。

如果你的设计中有过多的逻辑层：

1. 尝试使用 MAP 中的物理综合选项。
2. 返回到综合步骤，验证在实现过程中报告的关键路径是否与综合过程中所报告的一致。
3. 检查综合过程对于 HDL 代码的推导是否符合要求。

如果逻辑层很少，但某些数据路径没有满足时序要求：

1. 评估延迟较大的路径上的扇出数量。
2. 如果关键路径上有像 block RAM 或 DSP48E 片这样的硬 IP 块，验证设计是否充分利用了嵌入式寄

存器。此外，还要理解何时对使用硬 IP 块或逻辑片进行折衷考虑。

3. 分析时钟偏斜。
4. 如果逻辑间离得很远，则需要对关键模块进行版图规划。只对需要的地方进行规划。
5. 如果使用老版本的软件，或在进行过大量修改之前曾创建过区域组，则需要考虑删除。
6. 考虑 block RAM 和 DSP48E 片这样的硬 IP 块的布局位置。

结论

Virtex-5 FPGA 适用于高性能设计，同时 ISE 软件能够帮助快速地实现设计收敛、提高开发效率，并有效地验证你的设计。Xilinx 提供了全面的软件工具套件（得到 ISE Fmax 技术强有力的支持）来提高设计性能。但是，只有在编程风格、时序约束定义和资源规划等方面先期进行大量工作，下游工具才能更轻松地实现你的设计要求。🌈

	XST	Synplify Pro
扇出控制	max_fanout	syn_maxfan
RAM 到 Block RAM 或 SelectRAM 的直接推导	ram_style	syn_ramstyle
直接使用 DSP48 片	use_dsy48	syn_multstyle/syn_dspstyle
直接使用 SRL16	shreg_extract	syn_srlstyle
控制 Block RAM 使用的百分比	n/a	syn_allowed_resources
在优化过程中保留寄存器实体	Keep	syn_preserve
保留引线	Keep	syn_keep
保留具有未被使用的输出的黑盒子	Keep	syn_noprune

* 可以在 <http://toolbox.xilinx.com/docsan/xilinx82/books/docs/xst/xst.pdf> 上找到 XST 文档。Synplify Pro 文档位于工具的帮助文档中。

表 1 - 有用的综合属性*